

Docket No.: 56937-086

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Kiyohito MUKAI, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: September 17, 2003 : Examiner:
For: METHOD OF FABRICATING A SEMICONDUCTOR DEVICE AND A METHOD OF GENERATING A MASK PATTERN

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

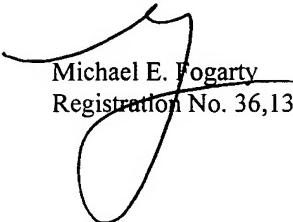
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP P2002-270068, filed on September 17, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gv
Facsimile: (202) 756-8087
Date: September 17, 2003

56937-086
Kiyohito, MUKAI et al.
日本特許庁 September 17, 2003
JAPAN PATENT OFFICE McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年 9月17日

出願番号

Application Number: 特願2002-270068

[ST.10/C]:

[JP2002-270068]

出願人

Applicant(s): 松下電器産業株式会社

2003年 2月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005162

【書類名】 特許願

【整理番号】 5037540015

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 向井 清士

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 谷本 正

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 伊藤 光実

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法／マスクパターンの生成方法

【特許請求の範囲】

【請求項1】 半導体基板表面において大面積活性領域である第1の領域と小面積活性領域である第2の領域とに分離する領域分離溝を形成する第1の工程と

前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第2の工程と、

格子窓パターンを有するエッチングマスクを用いて、前記第1の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う第3の工程と、

前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第4の工程とを含む半導体装置の製造方法。

【請求項2】 半導体基板表面において大面積活性領域である第1の領域と小面積活性領域である第2の領域とに分離する領域分離溝を形成する第1の工程と

前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第2の工程と、

単一開口パターンおよび格子窓パターンを有するエッチングマスクを用いて、前記第1の領域には前記单一開口パターンに対応する单一開口部を形成するとともに、前記第2の領域には前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う第3の工程と、

前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第4の工程とを含む半導体装置の製造方法。

【請求項3】 前記エッチングマスクにおける前記格子窓パターンは、前記活性領域との重なり幅が前記单一開口パターンの重なり幅よりも小さく設定されている請求項2に記載の半導体装置の製造方法。

【請求項4】 レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、

前記分割による複数の領域のいずれかにおいて、所定の規則に基づいて反転パターンを生成した上で格子形状に変形してマスクパターンを生成する反転パターン格子形状生成ステップとを含むマスクパターンの生成方法。

【請求項5】 レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、

前記分割による複数の領域のいずれかにおいて、所定の規則に基づいて反転パターンを生成する反転パターン生成ステップと、

前記複数の領域のうちの別の領域において、所定の規則に基づいて反転パターンを生成した上で格子形状に変形する反転パターン格子形状生成ステップと、

前記反転パターンと前記格子形状付き反転パターンとを合成するパターン合成ステップとを含むマスクパターンの生成方法。

【請求項6】 レイアウトパターンを入力し、前記入力したレイアウトパターンについてシミュレーションを行って表面高さの差異を求める生成方法選択用段差シミュレーションステップと、

前記シミュレーションによる表面高さの差異が軽微か否かに応じて、請求項4に記載のマスクパターンの生成方法と請求項5に記載のマスクパターンの生成方法のいずれか一方を選択する生成方法選択ステップとを含むマスクパターンの生成方法。

【請求項7】 請求項4から請求項6までのいずれかに記載のマスクパターンの生成方法において、さらに、

前記生成したマスクパターンについてシミュレーションを行って表面高さの差異を求める規則変更用段差シミュレーションステップと、

前記シミュレーションによる表面高さの差異を前記所定の規則における期待値と照合し、その照合結果が条件を満たさないときには、前記所定の規則を変更した上で、前記各ステップを繰り返す段差判定ステップとを含むマスクパターンの生成方法。

【請求項8】 前記規則変更用段差シミュレーションステップは、前記レイアウトパターンを複数の領域に分割し、個々の領域におけるパターン密度を算出し、前記パターン密度に応じて、前記活性領域との重なり幅または前記格子形状の

幅を変更する請求項7に記載のマスクパターンの生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法にかかわり、詳しくは、素子分離による絶縁膜の平坦化において表面高さの差異を軽減するための技術に関する。

【0002】

【従来の技術】

S T I (Shallow Trench Isolation) 法は、半導体基板の表面に領域分離溝を形成した後、領域分離溝の内部を含めて半導体基板表面に絶縁膜（酸化膜）を形成し、その絶縁膜を平坦化する工程を経て、半導体素子間を分離する方法である。

【0003】

S T I 法では、その平坦化工程において、半導体基板の表面に影響を与えることなく半導体素子分離領域を平坦にすることが重要である。近年用いられる平坦化の方法として C M P (Chemical Mechanical Polishing) 工程が例として挙げられる(例えば、特許文献1、2参照。)。

【0004】

図16は従来の技術における半導体装置の製造方法の工程説明図である。

【0005】

図16 (a) に示す半導体基板10の表面に対して、図16 (b) に示すように、領域分離溝10aを形成し、領域分離溝10aによって半導体基板10を相対的に大きな面積の活性領域である第1の領域Awと相対的に小さな面積の活性領域である第2の領域Anとに分離する。次に、図16 (c) に示すように、領域分離溝10aの内部を含めて半導体基板10上に絶縁膜（酸化膜）11を形成する。絶縁膜11は、領域分離溝10aに対しては埋め込まれた状態となる。

【0006】

次に、図16 (d) に示すように、第1の領域Awに位置対応する单一開口パターン12cを有するエッティングマスク12で絶縁膜11を覆う。单一開口パタ

ーン12cの近傍において、第1の領域Aw上の絶縁膜11wの四周部領域に対してエッティングマスク12が重なっている。Dwが第1の領域Awでの重なり領域である。

【0007】

図16(d)に示す状態でエッティングマスク12を用いて絶縁膜11をエッティングすると、図16(e)のようになる。すなわち、エッティングマスク12における単一開口パターン12cに位置対応する第1の領域Awの絶縁膜11wの部分のみがエッティングされる。そのエッティングされる部分は第1の領域Aw上の絶縁膜11wに限られている。この絶縁膜11wにおいて、単一開口パターン12cに位置対応した部分がエッティングで除去された単一開口部11qとなっている。11w₁は重なり領域Dwに位置対応した残存絶縁膜部分である。

【0008】

図16(e)の状態に対して、CMP工程により半導体基板10の表面上の絶縁膜11を除去する。すなわち、第2の領域An上の絶縁膜11n、第1の領域Aw上の残存絶縁膜部分11w₁を除去し、領域分離溝10a内にのみ絶縁膜11を埋め込んだ状態とする。領域分離溝10a内に埋め込まれた絶縁膜が埋込絶縁膜11uである。

【0009】

埋込絶縁膜11uの上面と半導体基板10の上面とを面一の状態に平坦化するのが理想である。

【0010】

【特許文献1】

特開平10-22376号公報(第4-5頁、図4-8)

【特許文献2】

特開2000-232153号公報(第4-5頁、図1)

【0011】

【発明が解決しようとする課題】

従来の技術では、CMP工程の前の絶縁膜エッティング工程において、大きな面積の活性領域である第1の領域のみを対象として絶縁膜を除去していた。すなわ

ち、小さな面積の活性領域である第2の領域では絶縁膜の除去は行っていなかった。このため、次工程のCMP工程では、絶縁膜存在率の不均一が生じ、領域分離溝内絶縁膜表面と半導体基板表面との間に大きな表面高さの差異が生じていた。

【0012】

このような大きな表面高さの差異が生じると、トランジスタのゲート電極の形成のために半導体基板上に多結晶シリコン膜を成膜するとき、その膜厚に不均一が生じ、その結果、多結晶シリコン膜のエッチング残渣が発生する可能性がある。このエッチング残渣のために、ゲート電極間でショートしたり、他の配線層とゲート電極とがショートする等の不都合が発生するおそれがある。

【0013】

これを回避するために、絶縁膜の表面高さを半導体基板表面に合わせる状態でCMPを行えば、局部的なオーバー研磨が発生する。そうなると、活性領域に形成される半導体素子の特性が損なわれてしまう。

【0014】

【課題を解決するための手段】

上記の課題を解決するための第1の解決手段として、本発明による半導体装置の製造方法は、次のような手段を講じる。

【0015】

すなわち、第1の工程において、半導体基板の表面において、相対的に大きな面積の活性領域（大面積活性領域）である第1の領域と相対的に小さな面積の活性領域（小面積活性領域）である第2の領域とに分離するための領域分離溝を形成する。

【0016】

第2の工程において、前記領域分離溝に絶縁膜を埋め込むために、前記半導体基板の表面上に絶縁膜を形成する。この絶縁膜形成によって、領域分離溝の内部にも絶縁膜が充填される。絶縁膜が必要なのは、領域分離溝の内部だけであり、半導体基板表面上の絶縁膜は除去する必要がある。そこで、第3の工程の絶縁膜エッチングを行う。

【0017】

・ 第3の工程において、格子窓パターンを有するエッティングマスクを用いて、前記第1の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッティングを行う。

【0018】

第4の工程において、前記のエッティングの後に前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す。これにより、半導体基板表面を露出させる。領域分離溝には絶縁膜が埋め込まれた状態となる。

【0019】

以上を要するに、本発明の半導体装置の製造方法は、半導体基板表面において大面積活性領域である第1の領域と小面積活性領域である第2の領域とに分離する領域分離溝を形成する第1の工程と、前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第2の工程と、格子窓パターンを有するエッティングマスクを用いて、前記第1の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッティングを行う第3の工程と、前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第4の工程とを含むものである。

【0020】

本発明を従来技術との比較で説明する。従来技術においては、单一開口パターンを有するエッティングマスクを用いて、第1の領域に单一開口パターンに対応する单一開口部を形成する状態に、絶縁膜をエッティングしていた。そのため、第1の領域での開口部（单一開口部）の面積が比較的に大きく、第1の領域では絶縁膜存在率が小さくなっていた。絶縁膜存在率とは、半導体基板表面上に存在している絶縁膜の面積が半導体基板の単位面積当たりに占める割合のことである。従来技術の場合、第1の領域において開口部面積が大きく、絶縁膜存在率が小さいために、研磨除去において、絶縁膜存在率が充分に大きな第2の領域に比べて、第1の領域ではオーバー研磨を招き、領域分離溝内絶縁膜表面と半導体基板表面との間に表面高さの差異を生じる原因となっていた。

【0021】

これに対して、本発明では、第1の領域の絶縁膜をエッチングするのに、单一開口パターンに代えて格子窓パターンを有するエッチングマスクを用いる。格子窓パターンを第1の領域に位置対応させ、第1の領域に格子窓パターンに対応する格子状開口部を形成する状態に絶縁膜をエッチングする。格子状開口部は单一開口部に比べて、トータルの面積は小さくなる。隣接する格子状開口部どうし間の棧状の格子部が残存している。その分、従来技術の单一開口部の場合に比べて、第1の領域での絶縁膜存在率は増加する。元は低かった第1の領域における絶縁膜存在率が増加したので、第1の領域の絶縁膜存在率を第2の領域の絶縁膜存在率に近づけることになる。したがって、研磨除去において、第1の領域での研磨除去の量を第2の領域での研磨除去の量に近づけることができる。すなわち、絶縁膜存在率の調整によって研磨中の絶縁膜の膜厚減少率を制御しており、その膜厚減少率を絶縁膜の全面にわたって均等化することができる。これにより、局部的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間の表面高さの差異を減少させ、両者の表面高さを均一化することができる。その結果、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

【0022】

上記の解決手段は、従来技術における第1の領域での单一開口部に格子部を追加することで、元は低かった第1の領域での絶縁膜存在率を増加させ、絶縁膜存在率を第1の領域と第2の領域とで均一化するものである。次に述べる解決手段は、第1の領域での单一開口部はそのままとし、第2の領域に開口部を追加することで、元は高かった第2の領域での絶縁膜存在率を減少させることにより、絶縁膜存在率を第1の領域と第2の領域とで均一化するものである。追加するものが、格子部であるか開口部であるかの相違である。

【0023】

上記の課題を解決するための第2の解決手段として、本発明による半導体装置の製造方法は、次のような手段を講じる。

【0024】

すなわち、第1の工程において、半導体基板表面において大面積活性領域であ

る第1の領域と小面積活性領域である第2の領域とに分離する領域分離溝を形成する。

【0025】

第2の工程において、前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する。

【0026】

第3の工程において、单一開口パターンおよび格子窓パターンを有するエッチングマスクを用いて、前記第1の領域には前記单一開口パターンに対応する单一開口部を形成するとともに、前記第2の領域には前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う。

【0027】

第4の工程において、前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す。

【0028】

第1の工程、第2の工程および第4の工程については、先の解決手段と同じである。第3の工程に特徴がある。

【0029】

第1の領域の絶縁膜のエッチングでは、従来技術の場合と同様に、单一開口パターンのマスクパターンを用いるのであるが、従来技術ではエッチングしなかつた第2の領域の絶縁膜もエッチングすることとしている。すなわち、格子窓パターンを第2の領域に位置対応させ、第2の領域に格子窓パターンに対応する格子状開口部を形成する状態に絶縁膜をエッチングする。従来技術では開口部のなかつた第2の領域において、格子状開口部を形成したので、従来技術の無開口部の場合に比べて、第2の領域での絶縁膜存在率は減少する。元は高かった第2の領域における絶縁膜存在率が減少したので、第2の領域の絶縁膜存在率を第1の領域の絶縁膜存在率に近づけることになる。したがって、研磨除去において、第1の領域での研磨除去の量を第2の領域での研磨除去の量に近づけることができる。すなわち、絶縁膜存在率の調整によって研磨中の絶縁膜の膜厚減少率を制御しており、その膜厚減少率を絶縁膜の全面にわたって均等化することができる。こ

れにより、局部的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間に表面高さを均一化することができる。その結果、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

【0030】

上記において好ましい態様は、前記エッチングマスクにおける前記格子窓パターンについて、前記活性領域との重なり幅が前記单一開口パターンの重なり幅よりも小さく設定されていることである。

【0031】

これによれば、小面積の活性領域であっても、反転パターンを生成することが可能となる。重なり幅を小さくして格子形状とすることにより、エッチング後の絶縁膜の機械強度を高くし、研磨除去を安定的に行って、半導体基板表面までの露出の制御を容易化することができる。

【0032】

以下はマスクパターンの生成方法にかかる発明についてである。

【0033】

本発明による第1のマスクパターンの生成方法は、レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、前記分割による複数の領域のいずれかにおいて反転パターンを生成した上で格子形状に変形してマスクパターンを生成する反転パターン格子形状生成ステップとを含むものである。

【0034】

これは、上記の第1の解決手段に対応するエッチングマスクのマスクパターンを生成するものである。この発明によれば、用いるレイアウトパターンに適合した状態で、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第1の領域と第2の領域とで均一化する格子形状付き反転パターンのマスクパターンを生成することができる。

【0035】

別の解決手段として、本発明による第2のマスクパターンの生成方法は、レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数

の領域に分割する領域分割ステップと、前記分割による複数の領域のいずれかにおいて反転パターンを生成する反転パターン生成ステップと、前記複数の領域のうちの別の領域において反転パターンを生成した上で格子形状に変形する反転パターン格子形状生成ステップと、前記反転パターンと前記格子形状付き反転パターンとを合成するパターン合成ステップとを含むものである。上記において、反転パターン生成ステップと反転パターン格子形状生成ステップとは先後関係を問うものではなく、いずれが先になってもよく、また、同時でもかまわない。

【0036】

これは、上記の第2の解決手段に対応するエッチングマスクのマスクパターンを生成するものである。この発明によれば、レイアウトパターンデータベースに含まれる多種多様な形状のレイアウトパターンに適合した状態で、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第1の領域と第2の領域とで均一化する反転パターンおよび格子形状付き反転パターンの合成よりなるマスクパターンを生成することができる。

【0037】

また、上記の発明において別の観点からの好ましい態様として、レイアウトパターンを入力し、前記入力したレイアウトパターンについてシミュレーションを行って表面高さの差異を求める生成方法選択用段差シミュレーションステップと、前記シミュレーションによる表面高さの差異が軽微か否かに応じて、上記第1のマスクパターンの生成方法と上記第2のマスクパターンの生成方法のいずれか一方を選択する生成方法選択ステップとを含むマスクパターンの生成方法がある。

【0038】

この方法によれば、用いるレイアウトパターンに対して段差シミュレーションを実行して、シミュレーションでの表面高さの差異が軽微なものであるか、それとも重大なものであるかの違いに応じて、マスクパターンの生成方法を上記第1のマスクパターンの生成方法とするか上記第2のマスクパターンの生成方法にするかを選択する。すなわち、適用するマスクパターンの生成方法を最適化しながらマスクパターンを生成するので、最適な状態の反転パターンに基づいてマスク

パターンを生成することができる。したがって、用いるレイアウトパターンに適合した状態で、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第1の領域と第2の領域とで均一化する最適な反転パターンに基づくマスクパターンを生成することができる。

【0039】

上記各マスクパターンの生成方法において、好ましい態様は、さらに、前記生成したマスクパターンについてシミュレーションを行って表面高さの差異を求める規則変更用段差シミュレーションステップと、前記シミュレーションによる表面高さの差異を前記所定の規則における期待値と照合し、その照合結果が条件を満たさないときには、前記所定の規則を変更した上で、前記各ステップを繰り返す段差判定ステップとを含むことである。

【0040】

この方法によれば、生成したマスクパターンに対して段差シミュレーションを実行して、シミュレーションでの表面高さの差異と期待値との照合の結果が不満足であれば、所定の規則（幅、間隔、密度、形状など）を変更する。そして、変更後の規則に基づいて、同様の処理を繰り返し、段差シミュレーションの照合結果が満足するようにする。このように適用する規則を最適化しながらマスクパターンを生成するので、最適な格子形状付き反転パターンによるマスクパターンを生成することができる。したがって、レイアウトパターンデータベースに含まれる多種多様な形状のレイアウトパターンに適合した状態で、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第1の領域と第2の領域とで均一化する最適な格子形状付き反転パターンのマスクパターンを生成することができる。

【0041】

上記において好ましい態様は、前記の規則変更用段差シミュレーションステップが、前記レイアウトパターンを複数の領域に分割し、個々の領域におけるパターン密度を算出し、前記パターン密度に応じて、前記活性領域との重なり幅または前記格子形状の幅を変更することである。

【0042】

活性領域との重なり幅または格子形状の幅をパターン密度に応じて変更することにより、分割による複数の領域のすべてにおいて絶縁膜存在率を均一化でき、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上する最適なマスクパターンを生成することができる。

【0043】

なお、上記半導体装置の製造方法についての第1の解決手段と第2の解決手段とを併用し、第1の領域に格子状開口部を形成するとともに、第2の領域にも格子状開口部を形成する方式も有効である。この場合のマスクパターンは、第1の領域に対応した格子窓パターンと第2の領域に対応した格子窓パターンの両方を有する状態に生成するものとする。

【0044】

【発明の実施の形態】

以下、本発明にかかる半導体装置の製造方法の実施の形態について図面に基づいて詳細に説明する。

【0045】

（実施の形態1）

本実施の形態は、相対的に大きな面積の活性領域である第1の領域において、エッティングマスクに加工を施すことで、課題解決に対応するものである。

【0046】

図1は本発明の実施の形態1における半導体装置の製造方法の工程説明図である。

【0047】

図1(a)に示すように、半導体基板10の表面に半導体素子を分離するための領域分離溝10aを形成し、領域分離溝10aの内部を含めて半導体基板10上に絶縁膜(酸化膜)11を形成する。絶縁膜11は、領域分離溝10aに対しては埋め込まれた状態となる。なお、ここまで手順は、従来技術の場合の図16(a)～(c)と同様である。

【0048】

絶縁膜11をエッティングマスク12で覆う。エッティングマスク12は、相対的

に大きな面積の活性領域である第1の領域Awに対して格子窓パターン12aを開口する形態となっている。12bは格子窓パターン12aを構成するための格子部である。

【0049】

第1の領域Awに対して格子窓パターン12aの部分を位置合わせする状態で、絶縁膜11をエッティングマスク12で覆う。これが図1(a)の状態である。

【0050】

図1(b)は半導体基板10上の絶縁膜11として第1の領域Aw上の絶縁膜11wと第2の領域An上の絶縁膜11nとを示している。第2の領域Anは、相対的に小さな面積の活性領域である。図1(c)はエッティングマスク12を示す。第1の領域Aw上の絶縁膜11wの中央部に格子部12bが位置対応している。格子窓パターン12aの近傍において、第1の領域Aw上の絶縁膜11wの四周部領域に対してエッティングマスク12が重なっている。Dwが第1の領域Awでの重なり領域である。格子部12bの幅および重なり領域Dwの幅については、例えば0.5~1.0μm程度である。

【0051】

図1(a)に示す状態でエッティングマスク12を用いて絶縁膜11をエッティングすると、図1(d)のようになる。すなわち、エッティングマスク12における格子窓パターン12aに位置対応する絶縁膜11の部分のみがエッティングされる。そのエッティングされる部分は第1の領域Aw上の絶縁膜11wに限られている。この絶縁膜11wにおいて、格子窓パターン12aに位置対応した部分がエッティングで除去された格子状開口部11pとなっている。11w₁は重なり領域Dwに位置対応した残存絶縁膜部分であり、11w₂は格子部12bに位置対応した残存絶縁膜部分である。第2の領域An上の絶縁膜11nは元の状態のまま残っている。

【0052】

従来技術(図16)との比較において、格子部12bに位置対応した残存絶縁膜部分11w₂が追加されていることが特徴となっている。

【0053】

図1(d)の状態に対して、CMP工程により半導体基板10の表面上の絶縁膜11を除去する。すなわち、第2の領域An上の絶縁膜11n、第1の領域Aw上の残存絶縁膜部分11w₁、11w₂を除去し、領域分離溝10a内にのみ絶縁膜11を埋め込んだ状態とする。領域分離溝10a内に埋め込まれた絶縁膜が埋込絶縁膜11uである。埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されている。

【0054】

CMP方式の研磨において、従来技術に対して追加した状態の残存絶縁膜部分11w₂の存在により、研磨中の絶縁膜11の膜厚減少率が全面にわたって均等化される。

【0055】

エッティングマスク12を用いて絶縁膜11に対するエッティングを行った後の状態における絶縁膜存在率 η を次のように定義する。第1の領域Awであるか第2の領域Anであるかを問わず、半導体基板10の上面に存在している絶縁膜11の面積が半導体基板10の単位面積当たりに占める割合を絶縁膜存在率 η とする。

【0056】

この絶縁膜存在率 η が、従来技術の場合には、相対的に小さな面積の活性領域である第2の領域Anで大きく、相対的に大きな面積の活性領域である第1の領域Awで小さいという不均一を伴っていた。これに対して、本実施の形態では、格子部12bを設けることで残存絶縁膜部分11w₂を残し、その結果として、第1の領域Awでの絶縁膜存在率 η を第2の領域Anでの絶縁膜存在率 η に近づけたものである。その結果、従来技術の場合の、第1の領域Aw上の絶縁膜11wでの過剰な除去が抑制され、埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されることになる。

【0057】

すなわち、エッティングマスクにおけるパターンの形状と寸法を調整することにより、エッティング工程での絶縁膜除去の制御を向上することが可能となり、CMP方式の研磨を全面にわたって均質化し、半導体基板表面の高精度な平坦化を実

現することができる。

【0058】

(実施の形態2)

本実施の形態は、相対的に小さな面積の活性領域である第2の領域において、エッティングマスクに加工を施すことで、課題解決に対応するものである。

【0059】

図2は本発明の実施の形態2における半導体装置の製造方法の工程説明図である。

【0060】

図2(a)において、実施の形態1(図1)と同様に、半導体基板10に半導体素子を分離するための領域分離溝10aが形成され、領域分離溝10aの内部を含めて半導体基板10上に絶縁膜11が形成されている。絶縁膜11は、領域分離溝10aに対しては埋め込まれた状態となっている。

【0061】

絶縁膜11をエッティングするためのエッティングマスク22は、相対的に小さな面積の活性領域である第2の領域Anに対して格子窓パターン22aを開口する形態となっている。22bは格子窓パターン22aを構成するための格子部である。相対的に大きな面積の活性領域である第1の領域Awに対しては、従来技術の場合と同様に、単一開口パターン22cとなっている。

【0062】

第1の領域Awに対して単一開口パターン22cを位置合わせとともに、第2の領域Anに対して格子窓パターン22aの部分を位置合わせする状態で、絶縁膜11をエッティングマスク22で覆う。これが図2(a)の状態である。

【0063】

図2(b)は半導体基板10上の絶縁膜11として第1の領域Aw上の絶縁膜11wと第2の領域An上の絶縁膜11nとを示している。図2(c)はエッティングマスク22を示す。第2の領域An上の絶縁膜11nの中央部に格子部22bが位置対応している。格子窓パターン22aの近傍において、第2の領域An上の絶縁膜11nの四周部領域に対してエッティングマスク22が重なっている。

D_n が第2の領域 A_n での重なり領域、 D_w が第1の領域 A_w での重なり領域である。格子部22bの幅および第2の領域 A_n での重なり領域 D_n の幅については、例えば0.5~1.0 μm程度である。第1の領域 A_w での重なり領域 D_w の幅については、例えば1.0~3.0 μm程度である。

【0064】

図2(a)に示す状態でエッティングマスク22を用いて絶縁膜11をエッティングすると、図2(d)のようになる。すなわち、エッティングマスク22における格子窓パターン22aおよび単一開口パターン22cに位置対応する絶縁膜11の部分のみがエッティングされる。そのエッティングされる部分は第1の領域 A_w 上の絶縁膜 $11w$ だけでなく、第2の領域 A_n 上の絶縁膜 $11n$ もエッティングされる。

【0065】

絶縁膜 $11n$ において、格子窓パターン22aに位置対応した部分がエッティングで除去された格子状開口部 $11p$ となっている。また、絶縁膜 $11w$ において、単一開口パターン22cに位置対応した部分がエッティングで除去された単一開口部 $11q$ となっている。 $11n_1$ は重なり領域 D_n に位置対応した残存絶縁膜部分であり、 $11n_2$ は格子部22bに位置対応した残存絶縁膜部分である。 $11w_1$ は重なり領域 D_w に位置対応した残存絶縁膜部分である。

【0066】

従来技術(図16)との比較において、第2の領域 A_n において格子窓パターン22aに位置対応した格子状開口部 $11p$ が追加されたことが特徴となっている。

【0067】

図2(d)の状態に対して、CMP工程により半導体基板10の表面上の絶縁膜11を除去する。すなわち、第1の領域 A_w 上の残存絶縁膜部分 $11w_1$ 、第2の領域 A_n 上の絶縁膜 $11n_1$ 、 $11n_2$ を除去し、領域分離溝10a内にのみ絶縁膜11を埋め込んだ状態とする。領域分離溝10a内に埋め込まれた絶縁膜が埋込絶縁膜 $11u$ である。埋込絶縁膜 $11u$ の上面と半導体基板10の上面とが面一の状態で平坦化されている。

【0068】

CMP方式の研磨において、従来技術に対して追加した状態の第2の領域A_nにおける格子状開口部11pの存在により、研磨中の絶縁膜11の膜厚減少率が全面にわたって均等化される。したがって、従来技術の場合の、第1の領域A_w上の絶縁膜11wでの過剰な除去が抑制され、埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されることになる。

【0069】

絶縁膜存在率 η が、従来技術の場合には、相対的に小さな面積の活性領域である第2の領域A_nで大きく、相対的に大きな面積の活性領域である第1の領域A_wで小さいという不均一を伴っていた。これに対して、本実施の形態では、格子窓パターン22aを設けることで第2の領域A_nに格子状開口部11pを作り、その結果として、第1の領域A_wでの絶縁膜存在率 η を第2の領域A_nでの絶縁膜存在率 η に近づけたものである。その結果、従来技術の場合の、第1の領域A_w上の絶縁膜11wでの過剰な除去が抑制され、埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されることになる。

【0070】

すなわち、エッチングマスクにおけるパターンの形状と寸法を調整することにより、エッチング工程での絶縁膜除去の制御を向上することが可能となり、CMP方式の研磨を全面にわたって均質化し、半導体基板表面の高精度な平坦化を実現することができる。

【0071】

以下で説明する実施の形態はマスクパターンの生成方法についてのものである

【0072】

(実施の形態3)

実施の形態3は、大きな面積の活性領域である第1の領域に格子状開口部を形成する実施の形態1に対応している。

【0073】

図3は本発明の実施の形態3におけるマスクパターンの生成方法の手順を示す

フローチャートである。

【0074】

ステップ31は活性領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【0075】

ステップ32は反転パターン格子形状生成ステップであって、ステップ31により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0076】

ステップ33はパターン合成ステップであって、ステップ31により分割されたグループのうち、ステップ32で処理されたグループのパターンと、処理されなかったパターンを合成する。

【0077】

図4は本実施の形態の具体的一例を示す。まず、図3の活性領域分割ステップ31に相当する領域分割手段31aにおいて、レイアウトパターン41を入力し、予め決められた規則に基づいて、入力したレイアウトパターン41を第1の領域42と第2の領域43の2つの領域へ分割する。このとき、予め決められた規則とは、例えば、レイアウトパターンの幅／間隔／密度などである。図3の反転パターン格子形状生成ステップ32に相当する反転パターン格子形状生成手段32aは、第1の領域42のデータを入力し、第1の領域42を反転したパターンに対して格子形状を生成することにより、マスクパターン（反転パターン）44を生成する。

【0078】

以上のように、入力したレイアウトパターンを基に、エッチング用のマスクパターンを生成し出力する。すなわち、マスクパターンについて、絶縁膜除去のレイアウトパターンの形状依存性を制御することができる。

【0079】

(実施の形態4)

実施の形態4は、大きな面積の活性領域である第1の領域に单一開口部を形成し、小さな面積の活性領域である第2の領域に格子状開口部を形成する実施の形態2に対応している。

【0080】

図5は本発明の実施の形態4におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0081】

ステップ51は活性領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【0082】

ステップ52は反転パターン格子形状生成ステップであって、ステップ51により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0083】

ステップ53は反転パターン生成ステップであって、ステップ51により分割されたレイアウトパターンのうち、ステップ52で処理されなかったグループに対して、反転パターンを生成する。

【0084】

ステップ54はパターン合成ステップであって、ステップ52とステップ53で生成した2つのパターンを合成し、出力する。

【0085】

図6は本実施の形態の具体的一例を示す。まず、図5の活性領域分割ステップ51に相当する領域分割手段51aにおいて、レイアウトパターン61を入力し、予め決められた規則に基づいて、入力したレイアウトパターン61を第2の領域62と第1の領域63の2つの領域へ分割する。図5の反転パターン格子形状生成ステップ52に相当する反転パターン格子形状生成手段52aは、第2の領域62のデータを入力し、第2の領域62を反転したパターンに対して格子形状を生成する。一方、図5の反転パターン生成ステップ53に相当する反転パター

ン生成手段53aは、第1の領域63のデータを入力し、第1の領域63を反転したパターンを生成する。そして、これら2つのパターンを合成したマスクパターン（反転パターン）64を生成する。

【0086】

以上のように、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方について、規則に基づいた絶縁膜除去のレイアウトパターンの形状依存性を制御することができる。その結果、CMP方式の研磨での半導体基板の平坦度の向上を図ることができるエッチング用のマスクパターンを生成することができる。

【0087】

図7は本実施の形態におけるマスクパターン形状を示す平面図である。

【0088】

図7(a)において、Awは相対的に大きな面積の活性領域である第1の領域、Kwはエッティングマスクにおける単一開口パターン、Dwは単一開口パターンKw以外のエッティングマスクの領域と第1の領域Awとの重なり領域である。重なり領域Dwの幅は、1.0~3.0μm程度である。

【0089】

図7(b)において、Anは相対的に小さな面積の活性領域である第2の領域、Knはエッティングマスクにおける複数の格子窓パターン、Dnは格子窓パターンKn以外のエッティングマスクの領域と第2の領域Anとの重なり領域である。重なり領域Dnの幅は、0.5~1.0m程度である。

【0090】

格子形状をとることは補強材の役割を果たし、機械的強度を保つことができる。これにより、小さな面積の活性領域に対しても反転パターンを生成でき、平坦度の向上を図ることができる。

【0091】

(実施の形態5)

実施の形態5は、大きな面積の活性領域である第1の領域に格子状開口部を形成する実施の形態1に対応している。

【0092】

図8は本発明の実施の形態5におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0093】

ステップ71は第1領域／第2の領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【0094】

ステップ72は反転パターン格子形状生成ステップであって、ステップ71により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0095】

ステップ73は規則変更用の段差シミュレーションステップであって、ステップ71により分割されたグループのうち、ステップ72で処理されたグループが半導体基板上でどのように形成されるかを計算する。

【0096】

ステップ74は段差判定ステップであって、ステップ73で得られた結果が、半導体製造に許容される表面高さの差異の限度を満たすか否かを判定する。

【0097】

ステップ75はパターン生成ステップであって、ステップ74を経て、マスクパターンを生成する。

【0098】

以上により、入力されたレイアウトパターンを基に、エッチング用のマスクパターンを生成し、出力する。

【0099】

図9は本実施の形態の具体的一例を示す。図8の第1領域／第2の領域分割ステップ71に相当する第1の領域／第2の領域分割手段71aにおいて、レイアウトパターン81を入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域についてエッチングが必要な第1の領域82と

それ以外の第2の領域に分割する。図8の反転パターン格子形状生成ステップ72に相当する反転パターン／格子形状生成手段72aにおいて、第1の領域82について、予め決められた規則に基づき反転パターンを生成する。段差シミュレーション手段73aは図8の規則変更用の段差シミュレーションステップ73に相当する処理を実施し、照合手段74aは図8の段差判定ステップ74に相当する処理を行って、予め決められた規則と照合した結果が満足すればマスクパターン（反転パターン）83を出力する。

【0100】

照合手段74aでの処理において結果が満足しない場合、第1領域／第2の領域分割手段71a、反転パターン格子形状生成手段72aにおける規則を変更し、以降の処理を繰り返す。

【0101】

これにより、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となり、平坦度の向上を図ることができる。

【0102】

（実施の形態6）

実施の形態6は、大きな面積の活性領域である第1の領域に单一開口部を形成し、小さな面積の活性領域である第2の領域に格子状開口部を形成する実施の形態2に対応している。

【0103】

実施の形態6は、最適なマスクパターン（反転パターン）を段差シミュレーションに基づいて決定するものである。

【0104】

図10は本発明の実施の形態6におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0105】

ステップ91は領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【0106】

・ステップ92は反転パターン格子形状生成ステップであって、ステップ91により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0107】

ステップ93は反転パターン生成ステップであって、ステップ91により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成する。

【0108】

ステップ94は規則変更用の段差シミュレーションステップであって、ステップ91により分割されたグループのうち、ステップ92で処理されたグループが半導体基板上でどのように形成されるかを計算する。

【0109】

ステップ95は段差判定ステップであって、ステップ94で得られた結果が、半導体製造に許容される表面高さの差異の限度を満たすか否かを判定する。

【0110】

ステップ96はパターン生成ステップであって、ステップ95を経て、マスクパターンを生成する。

【0111】

以上により、入力されたレイアウトパターンを基に、エッチング用のマスクパターンを生成し、出力する。

【0112】

図11は本実施の形態の具体的一例を示す。図10の領域分割ステップ91に相当する領域分割手段91aは、レイアウトパターン101を入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体の活性領域を第2の領域102と第1の領域103とそれ以外の領域に分割する。第2の領域102は反転パターンおよび格子形状を生成する領域であり、第1の領域103は反転パターンのみを生成する領域である。

【0113】

図10の反転パターン格子形状生成ステップ92に相当する反転パターン格子形状生成手段92aは、第2の領域102のデータを入力し、第2の領域102を反転したパターンに対して予め決められた規則に従って格子形状を生成する。一方、図10の反転パターン生成ステップ93に相当する反転パターン生成手段93aは、第1の領域103のデータを入力し、第1の領域103を反転したパターンを生成する。そして、上記の生成した2つのパターンを合成した反転パターン104を生成する。

【0114】

段差シミュレーション手段94aは図10の規則変更用の段差シミュレーションステップ94に相当する処理を実施し、照合手段95aは図10の段差判定ステップ95に相当する処理を行って、予め決められた規則と照合した結果が満足すればマスクパターン（反転パターン）105を出力する。

【0115】

照合手段95aでの処理において結果が満足しない場合、領域分割手段91a、反転パターン格子形状生成手段92a、反転パターン生成手段93aにおける規則を変更し、以降の処理を繰り返す。

【0116】

これらにより、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方を有するレイアウトパターンについて、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となり、平坦度の向上を図ることができる。

【0117】

（実施の形態7）

実施の形態7は、表面高さの差異の度合いに応じて、実施の形態1の方法と実施の形態2の方法とを切り換えるものである。

【0118】

図12は本発明の実施の形態7におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0119】

ステップ111は生成方法選択用の段差シミュレーションステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、半導体基板上に形成される表面高さの差異を計算する。

【0120】

ステップ112は第1領域／第2の領域分割ステップであって、予め決められた規則に基づいて、半導体素子の活性領域を複数のグループへ分割する。

【0121】

ステップ113はパターン生成方法判定ステップであって、ステップ111の結果に基づいて、複数存在する反転パターン生成方法から適切なものを選択する。

【0122】

ステップ114は反転パターン格子形状生成ステップであって、ステップ112により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0123】

ステップ115は反転パターン生成ステップであって、ステップ112により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成する。

【0124】

ステップ116はパターン合成ステップであって、ステップ114およびステップ115を経て、反転パターンを合成する。

【0125】

以上により、入力されたレイアウトパターンを基に、エッチング用の反転パターンを生成し、出力する。

【0126】

図13は本実施の形態の具体的一例を示す。

【0127】

生成方法選択用の段差シミュレーション手段122は、入力したレイアウトパターン121に基づいてCMP工程後のウェハ表面における段差シミュレーショ

ンを行い、生成方法選択手段123はシミュレーション結果の表面高さの差異が軽微か重大かの判定を行い、軽微の場合は第1領域／第2の領域分割手段124へ処理を渡し、重大の場合は領域分割手段130へ処理を渡す。

【0128】

第1領域／第2の領域分割手段124以降、反転パターン129までは、実施の形態5の場合の図9と同様である。また、領域分割手段130以降、反転パターン138までは、実施の形態6の場合の図11と同様である。図9の符号71aは図13の符号124に対応し、以下同様に、82は125に、72aは126に、73aは127に、74aは128に、83は129にそれぞれ対応している。図11の符号91aは図13の符号130に対応し、以下同様に、102は131に、103は132に、92aは133に、93aは134に、104は135に、94aは136に、95aは137に、105は138にそれぞれ対応している。技術内容は同一であるので、説明を省略する。

【0129】

これにより、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方を有するレイアウトパターンについて、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となる。また、活性領域のパターンの大きさに依存しない反転パターンの形状や寸法制御が可能となり、平坦度の向上を図ることができる。

【0130】

(実施の形態8)

実施の形態8は、レイアウトパターンを特定の大きさの領域へ分割し、領域内をパターン密度計算に基づいて反転パターンの形状や反転パターンの規則を制御するものである。

【0131】

図14は本発明の実施の形態8におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0132】

ステップ141は、レイアウトパターンを特定の大きさの領域へ分割する領域

分割ステップである。ステップ142は、分割された個々の領域内でパターン密度を計算する領域内密度計算ステップである。ステップ143は、反転パターンについての形状、寸法、活性領域との重なり幅を決定する寸法／重なり幅算出ステップである。ステップ144は、反転パターンを生成するパターン生成ステップである。

【0133】

図15は本実施の形態の具体的な例を示す。

【0134】

ステップ152において、入力したレイアウトパターン151を予め定められた特定の大きさの領域へ分割する。ステップ153において、分割された領域内のパターン密度を計算し、ステップ154において、計算結果のパターン密度に基づいて反転パターンの寸法／重なり幅を決定し、ステップ155において、マスクパターン（反転パターン）156を生成する。

【0135】

これにより、活性領域のパターンの形状や大きさに加えて、特定の大きさの領域のパターンの特徴に基づいて反転パターンを生成でき、平坦度の向上を図ることができる。

【0136】

【発明の効果】

以上のように本発明によれば、大きな面積の活性領域である第1の領域での単一開口部に格子部を追加することにより、あるいは、小さな面積の活性領域である第2の領域での無開口部に格子状開口部を追加することにより、絶縁膜存在率を第1の領域と第2の領域とで均一化し、研磨除去における絶縁膜の膜厚減少率を絶縁膜の全面にわたって均等化することができる。その結果、局部的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間の表面高さの差異を減少させ、両者の表面高さを均一化することができる。したがって、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態1における半導体装置の製造方法の工程説明図
【図2】 本発明の実施の形態2における半導体装置の製造方法の工程説明図
【図3】 本発明の実施の形態3におけるマスクパターンの生成方法の手順を示すフローチャート
【図4】 実施の形態3における具体的一例を示すフローチャート
【図5】 本発明の実施の形態4におけるマスクパターンの生成方法の手順を示すフローチャート
【図6】 実施の形態4における具体的一例を示すフローチャート
【図7】 実施の形態4におけるマスクパターン形状を示す平面図
【図8】 本発明の実施の形態5におけるマスクパターンの生成方法の手順を示すフローチャート
【図9】 実施の形態5における具体的一例を示すフローチャート
【図10】 本発明の実施の形態6におけるマスクパターンの生成方法の手順を示すフローチャート
【図11】 実施の形態6における具体的一例を示すフローチャート
【図12】 本発明の実施の形態7におけるマスクパターンの生成方法の手順を示すフローチャート
【図13】 実施の形態7における具体的一例を示すフローチャート
【図14】 本発明の実施の形態8におけるマスクパターンの生成方法の手順を示すフローチャート
【図15】 実施の形態8における具体的一例を示すフローチャート
【図16】 従来の技術における半導体装置の製造方法の工程説明図
【符号の説明】
A w 第1の領域
A n 第2の領域
D w 第1の領域での重なり領域
D n 第2の領域での重なり領域
K w 単一開口パターン
K n 格子窓パターン

1'0 半導体基板

1'0 a 領域分離溝

1'1 絶縁膜(酸化膜)

1'1 w 第1の領域上の絶縁膜

1'1 n 第2の領域上の絶縁膜

1'1 p 格子状開口部

1'1 q 単一開口部

1'1 w₁ 重なり領域Dwに位置対応した残存絶縁膜部分

1'1 w₂ 格子部に位置対応した残存絶縁膜部分

1'1 u 埋込絶縁膜

1'1 n₁ 重なり領域Dnに位置対応した残存絶縁膜部分

1'1 n₂ 格子部に位置対応した残存絶縁膜部分

1'2 エッチングマスク

1'2 a 格子窓パターン

1'2 b 格子部

2'2 エッチングマスク

2'2 a 格子窓パターン

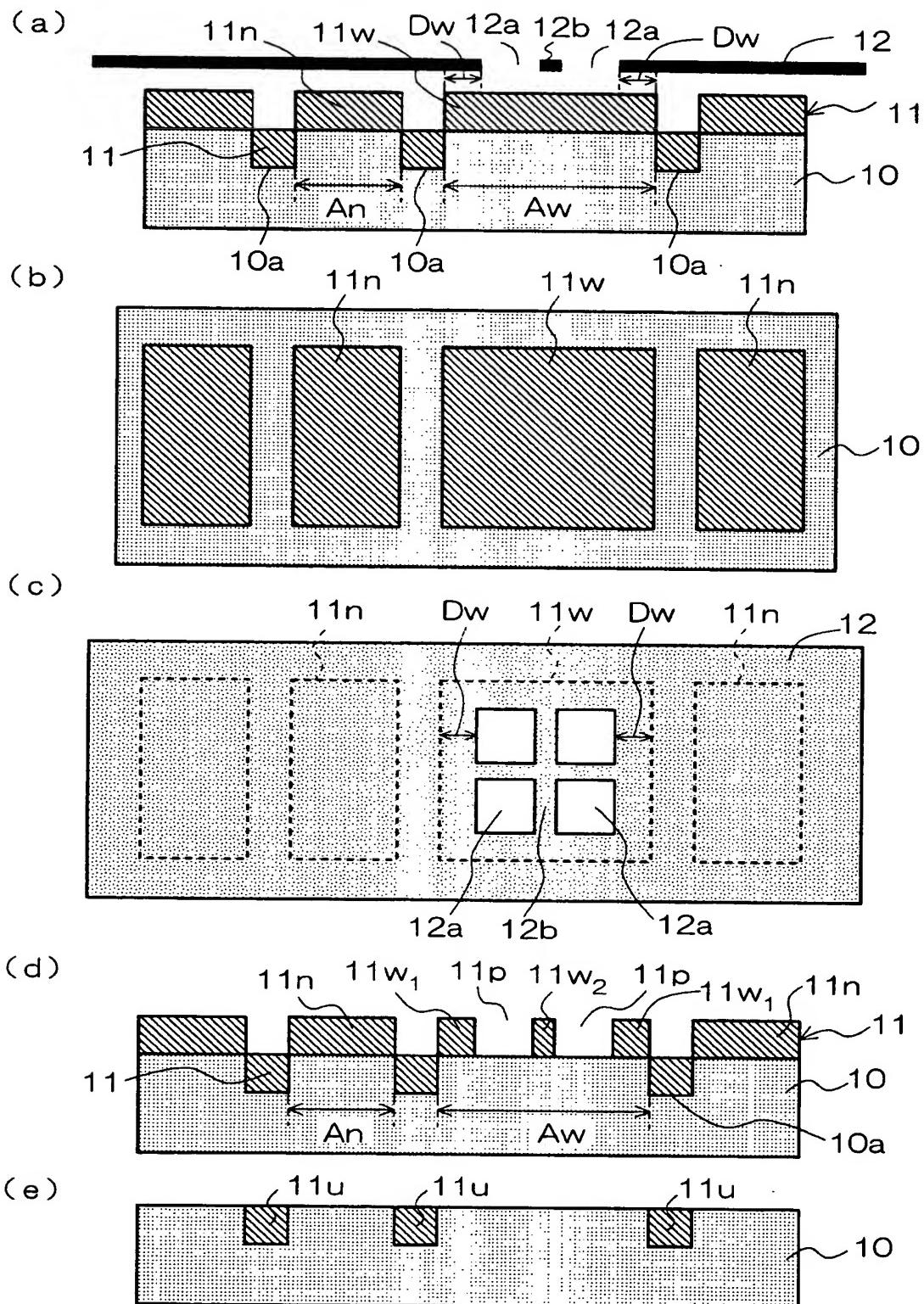
2'2 b 格子部

2'2 c 単一開口パターン

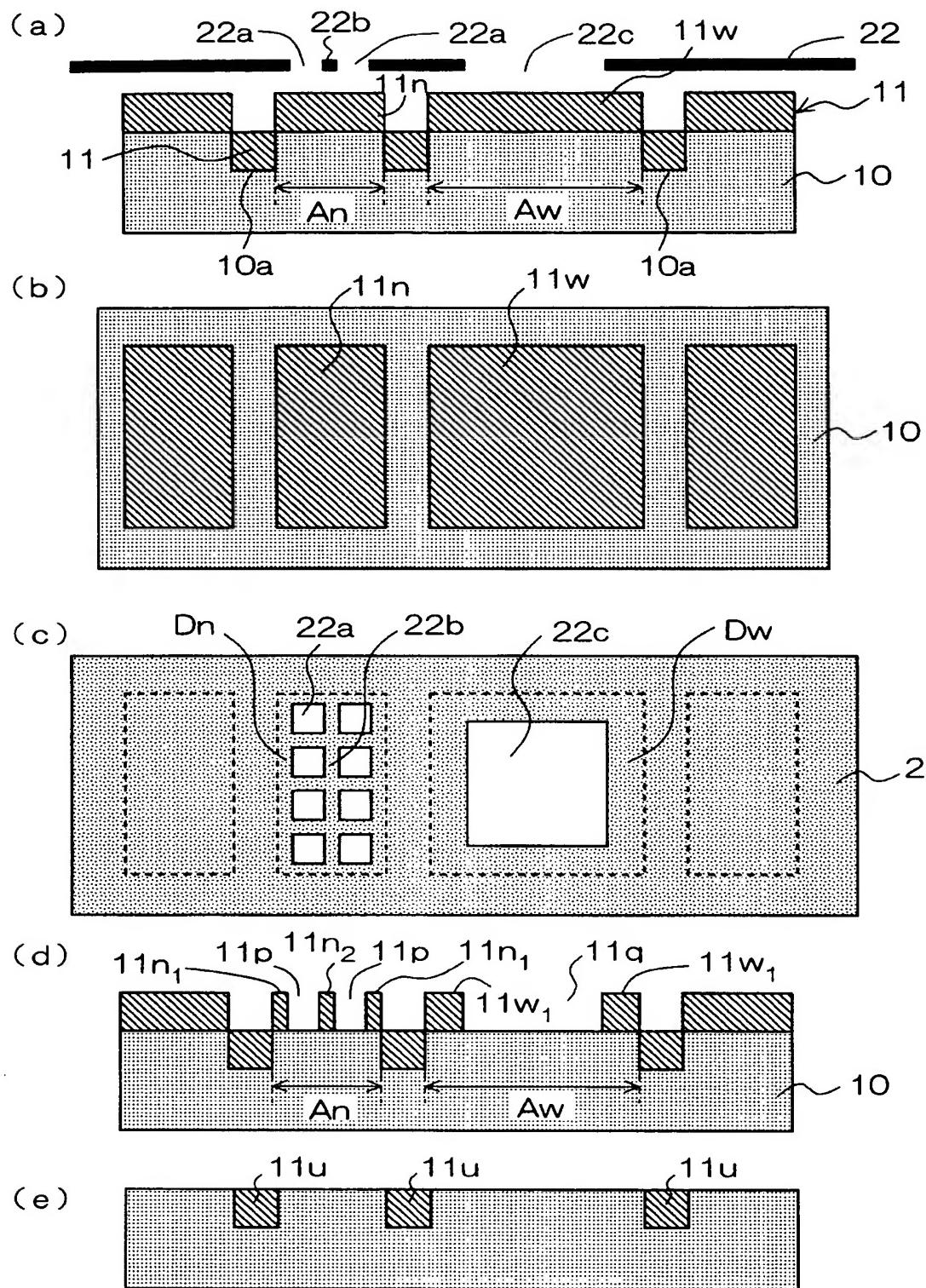
【書類名】

図面

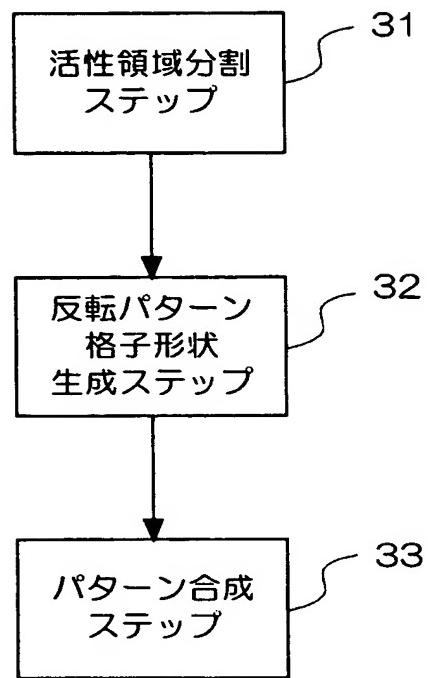
【図1】



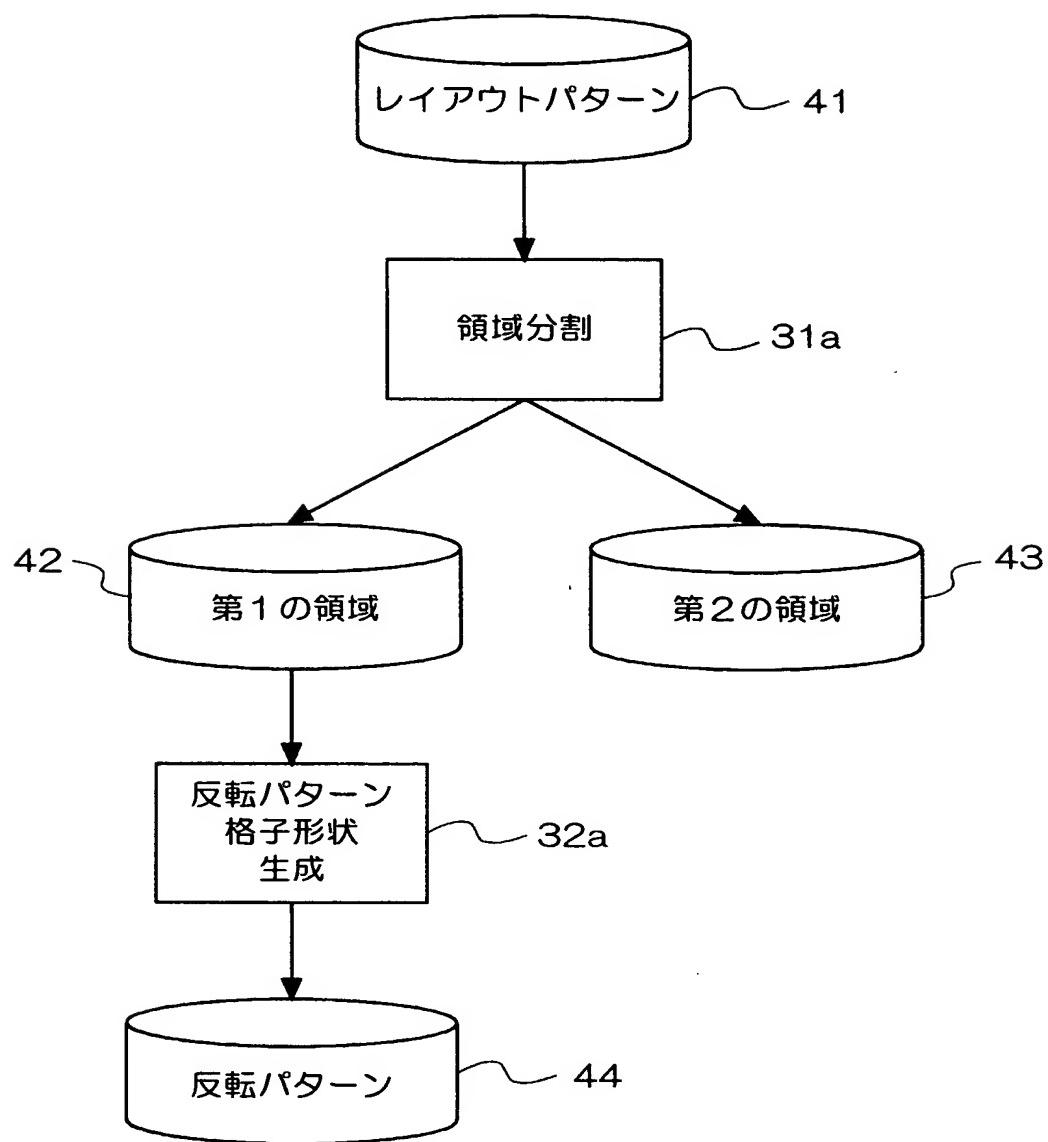
【図2】



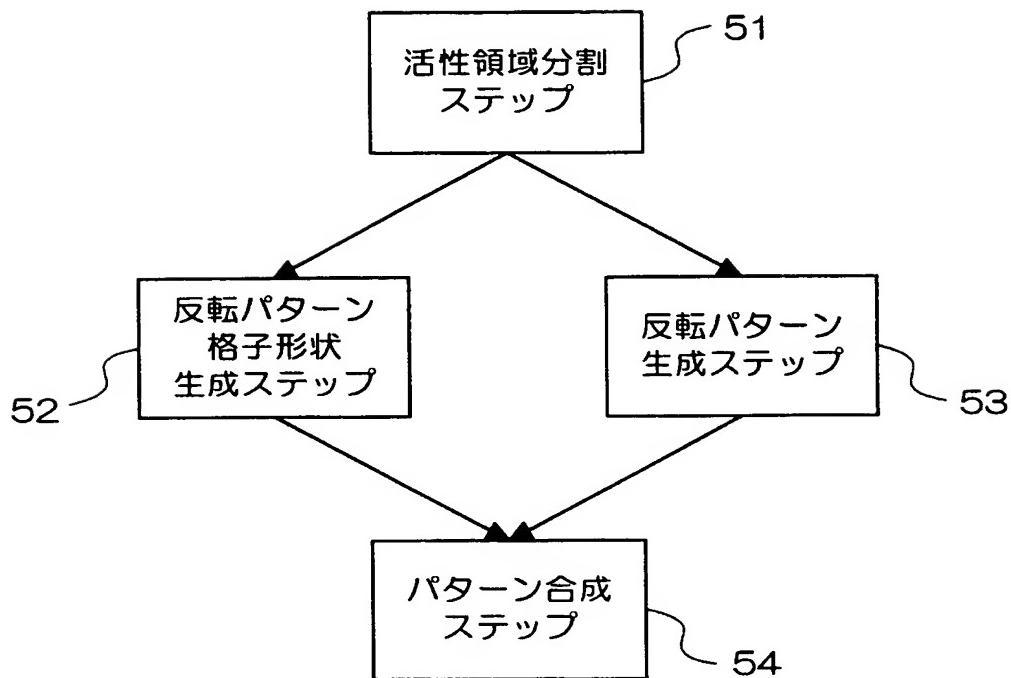
【図3】



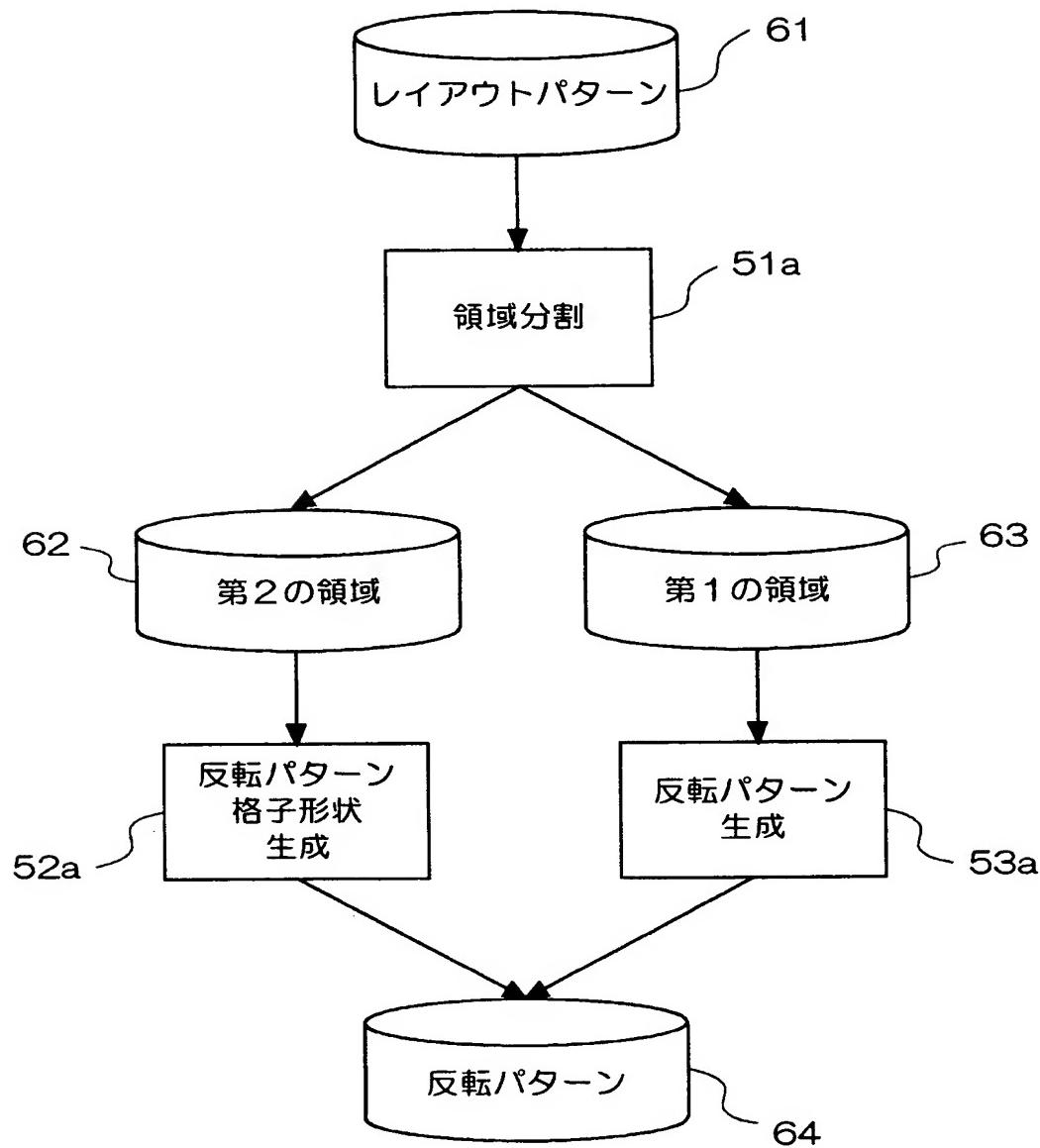
【図4】



【図5】



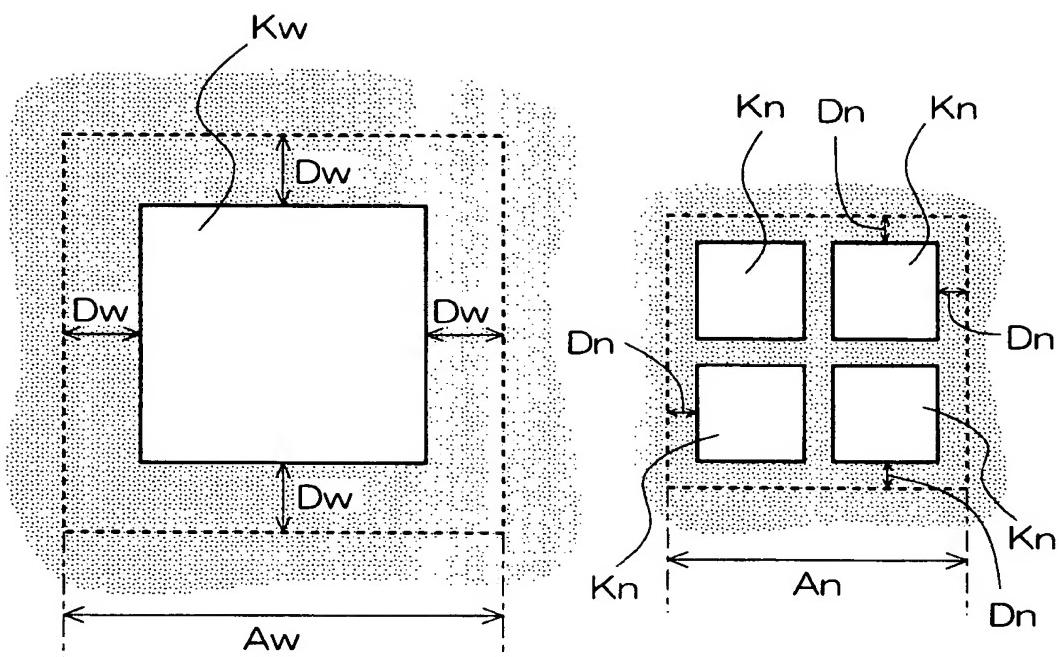
【図6】



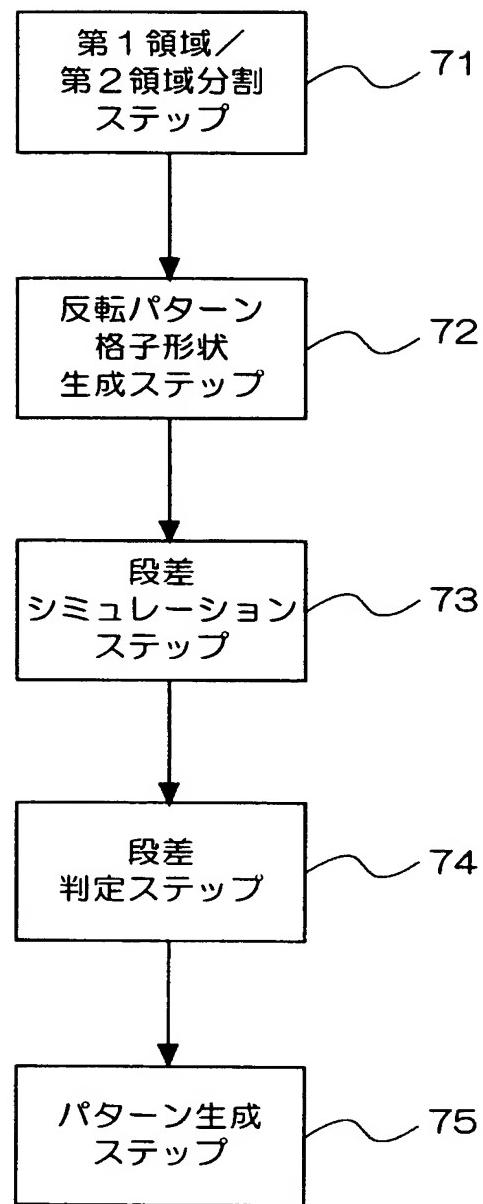
【図7】

(a)

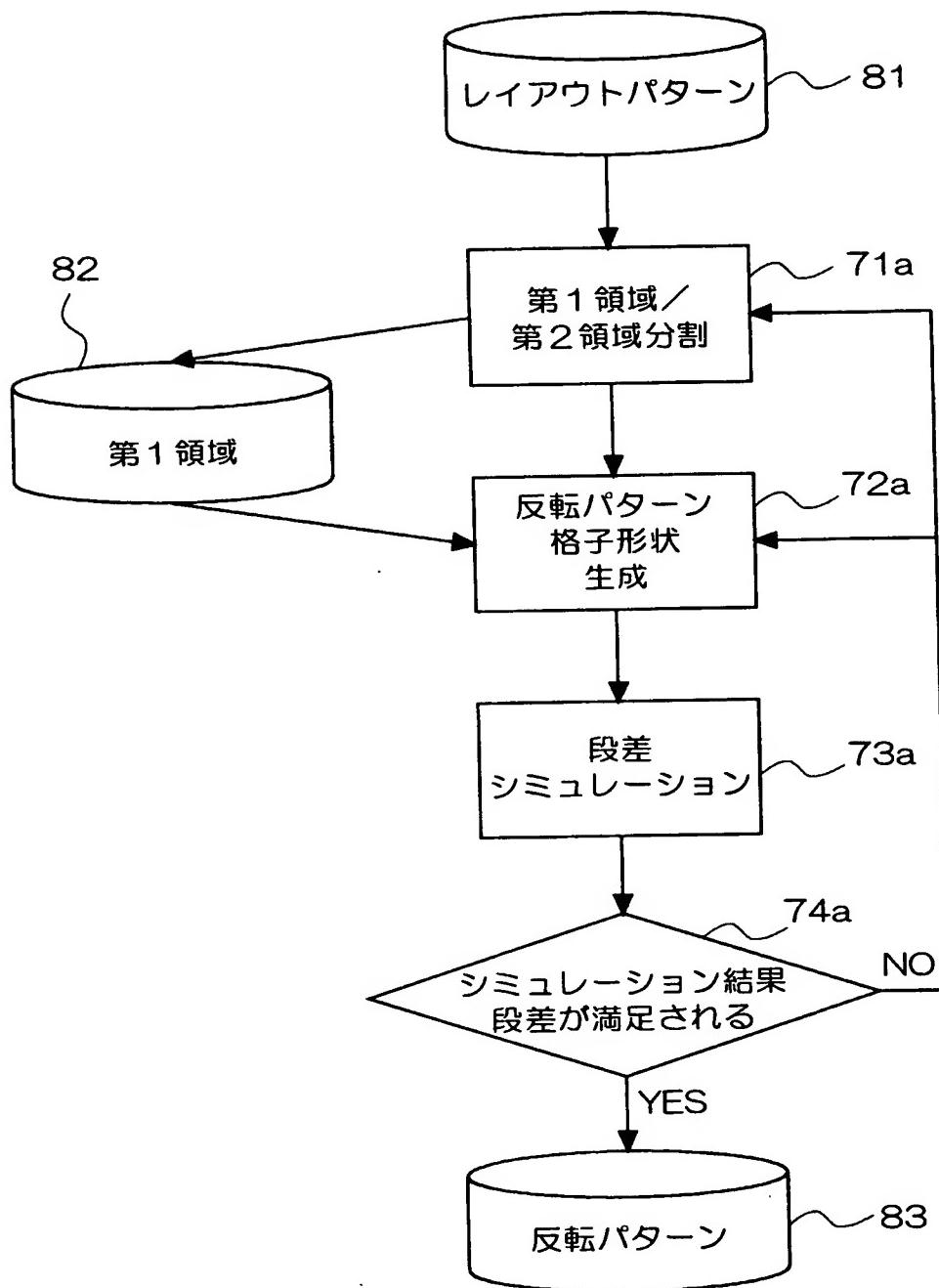
(b)



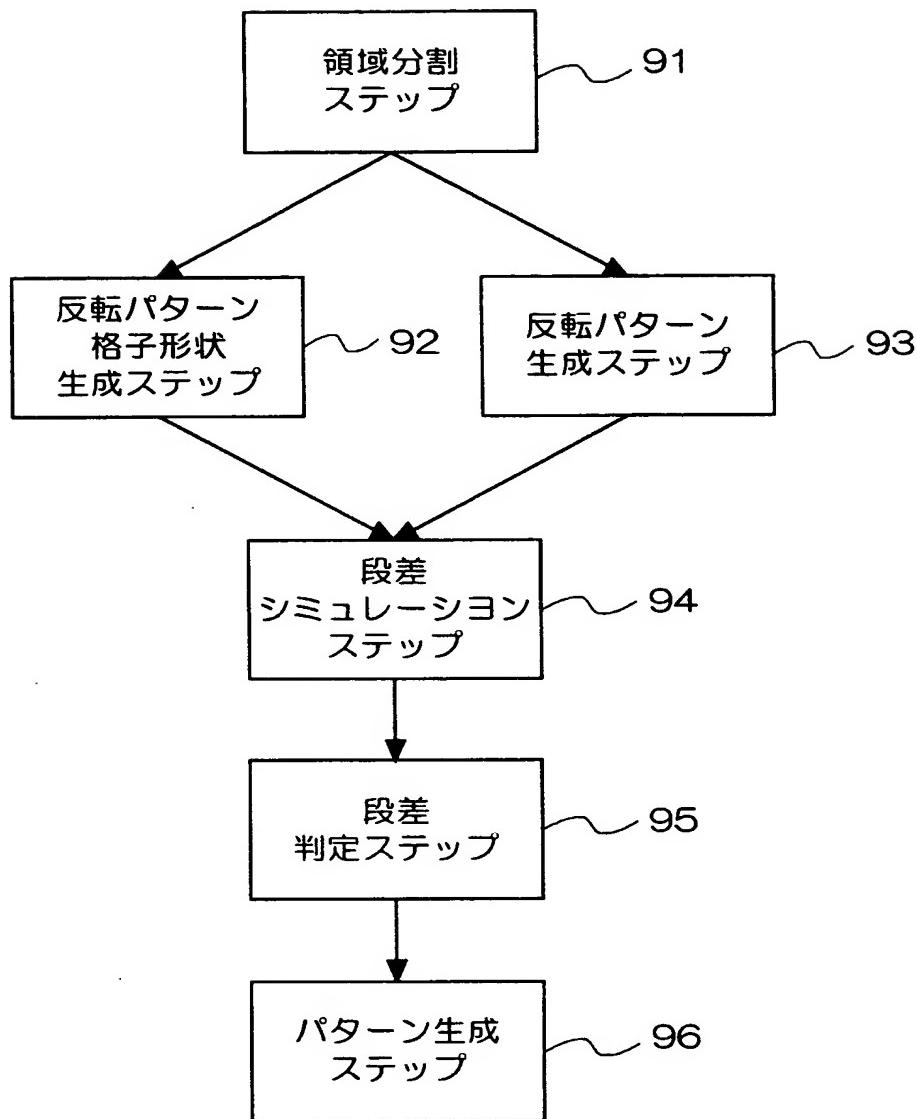
【図8】



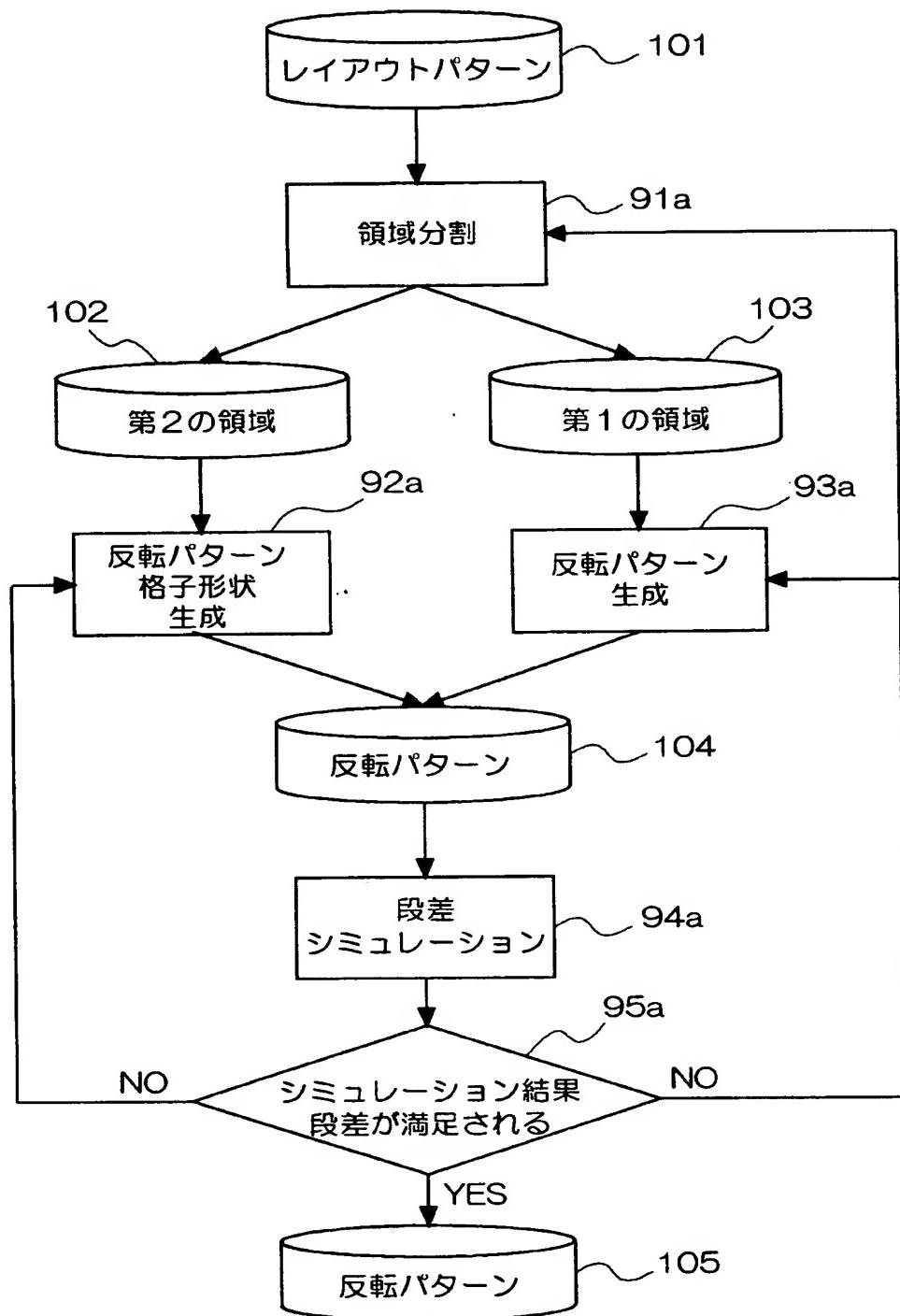
【図9】



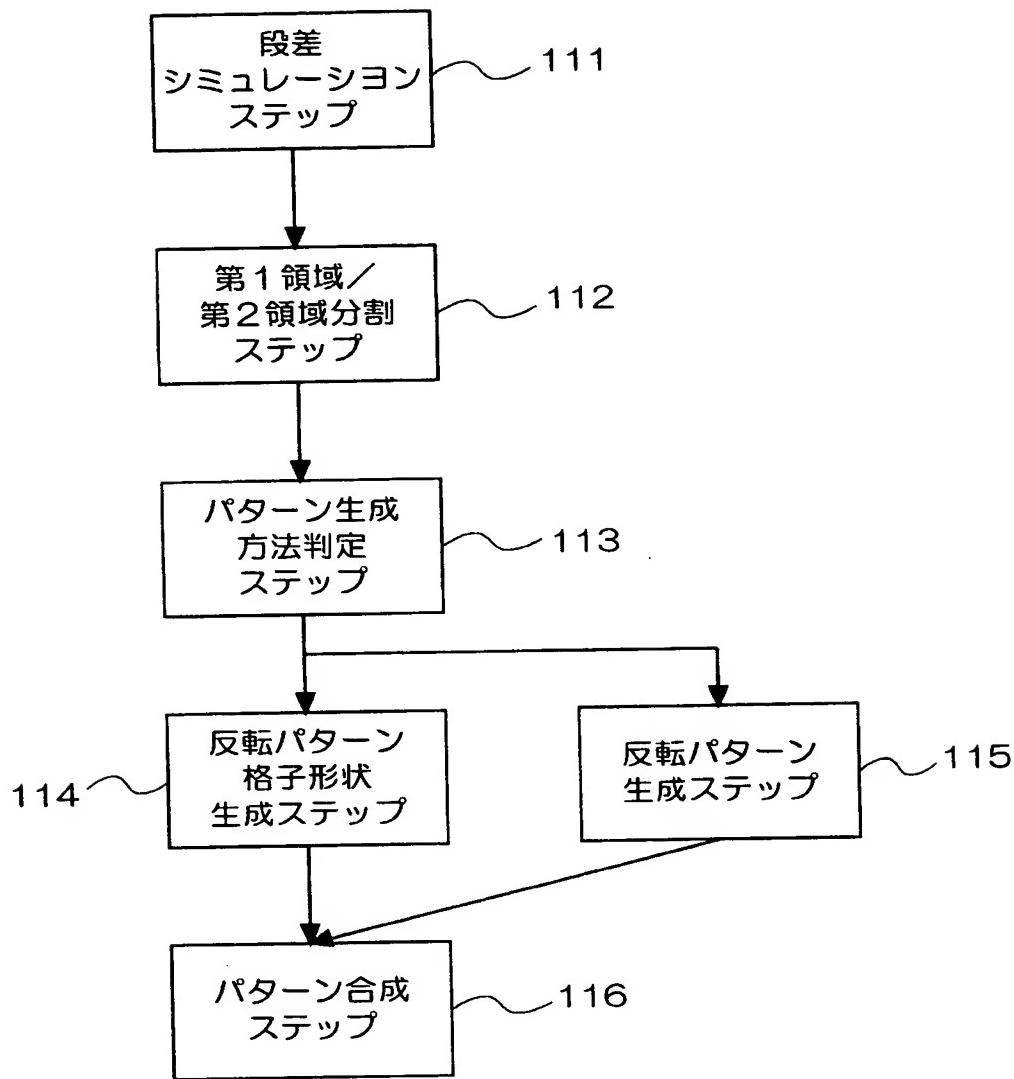
【図10】



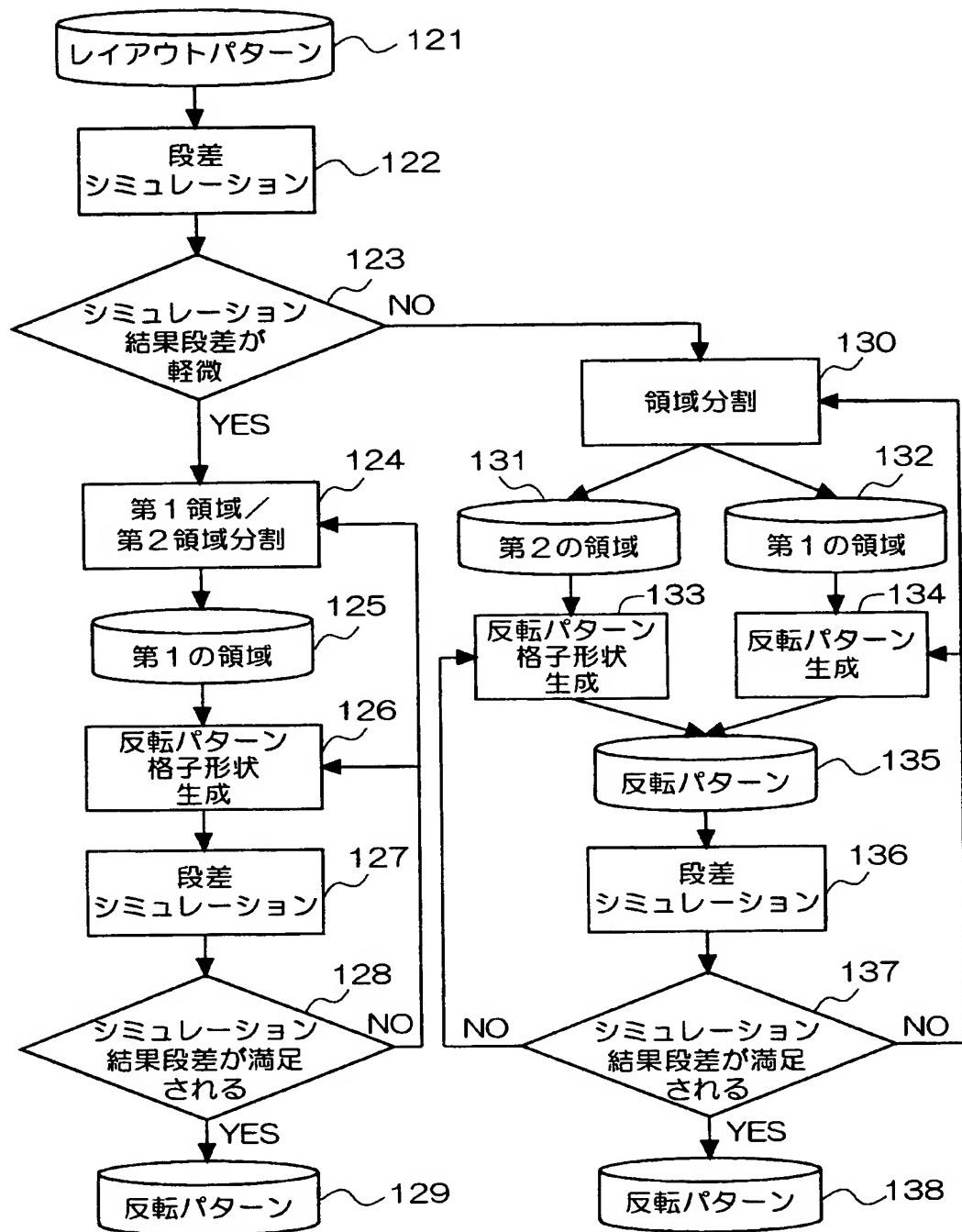
【図11】



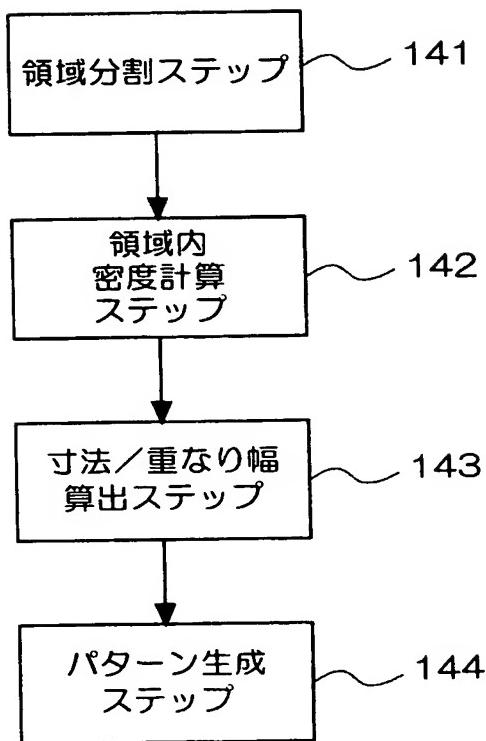
【図12】



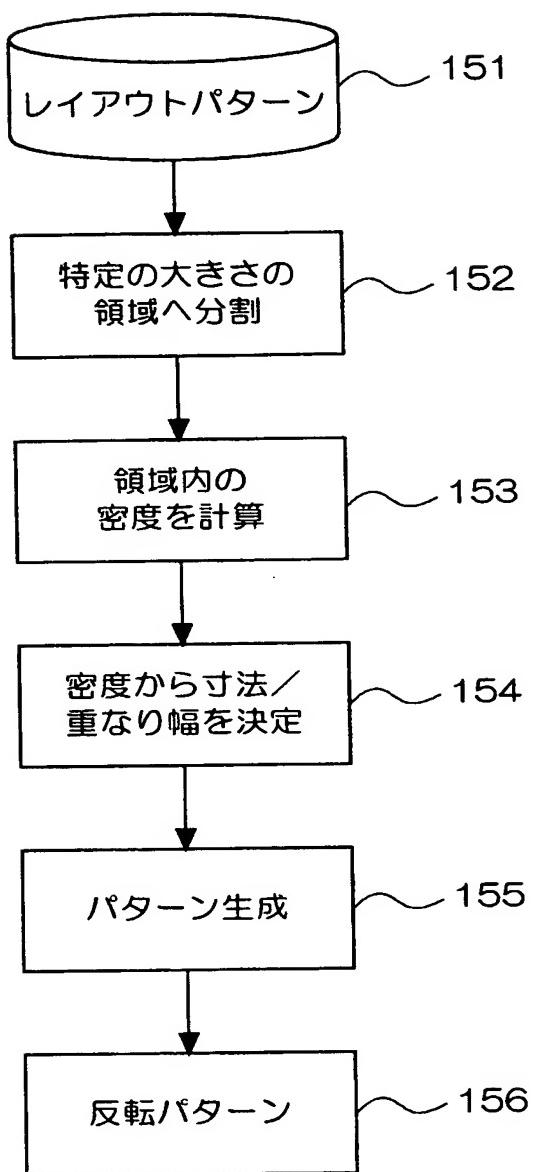
【図13】



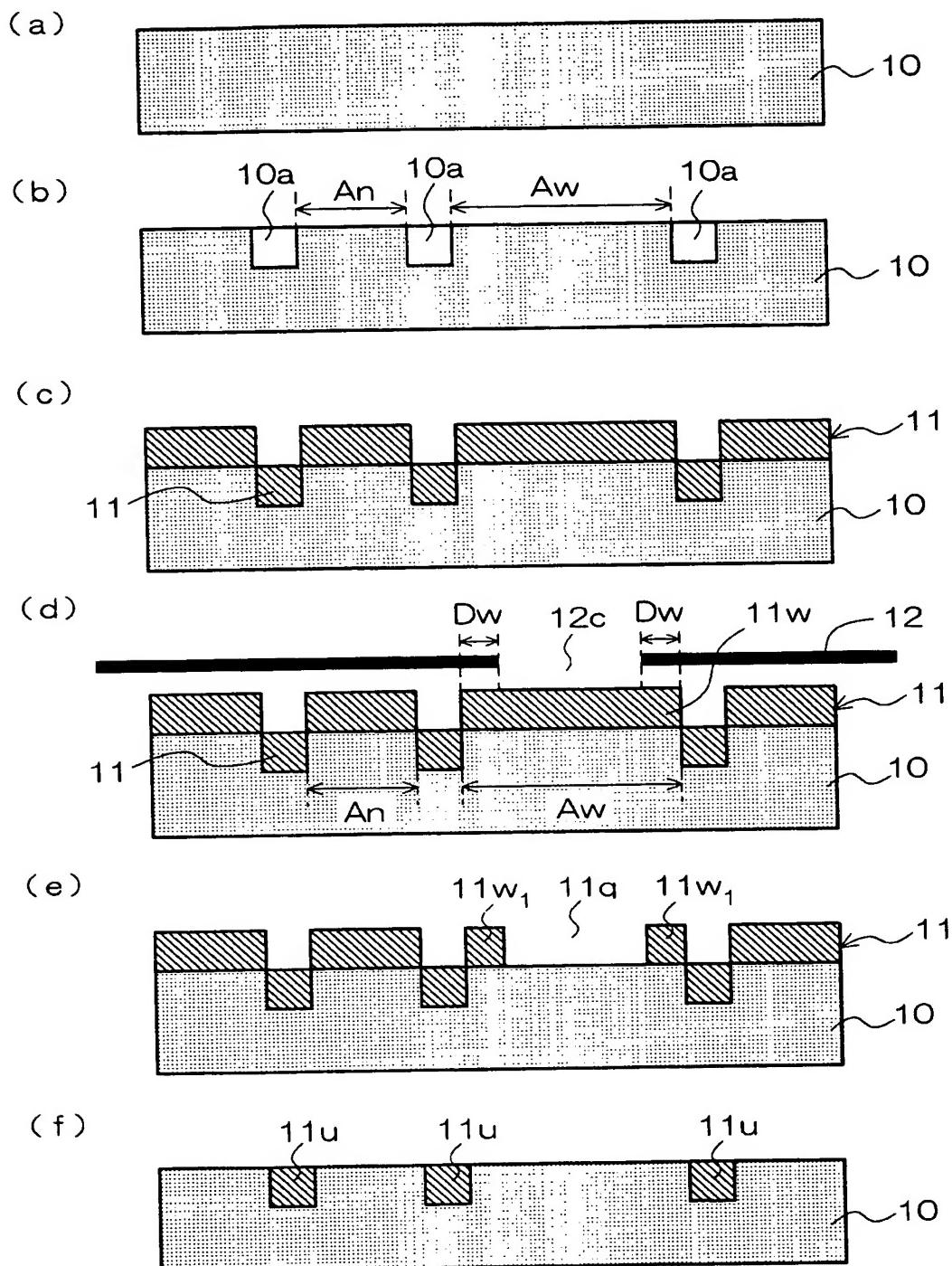
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 S T I 技術によって半導体基板表面の平坦性を向上し、安定した素子分離が得られるようにする。

【解決手段】 半導体基板において大面積の第1の領域 A w と小面積の第2の領域 A n とに分離する領域分離溝 1 0 a を形成し、領域分離溝 1 0 a の内部を含めて半導体基板表面上に絶縁膜 1 1 を形成し、格子窓パターン 1 2 a を有するエッチングマスク 1 2 を用いて第1の領域に格子窓パターンに対応する格子状開口部 1 1 p を形成する状態で、あるいは单一開口パターン 2 2 c および格子窓パターン 2 2 a を有するエッチングマスク 2 2 を用いて第1の領域には单一開口パターンに対応する单一開口部 1 1 q を形成するとともに、第2の領域には格子窓パターンに対応する格子状開口部 1 1 p を形成する状態で、絶縁膜 1 1 に対するエッチングを行い、半導体基板上に残存している絶縁膜に対して研磨除去を施す。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-270068
受付番号	50201387066
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 9月20日

<認定情報・付加情報>

【提出日】 平成14年 9月17日

次頁無

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社